

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05234866 A**

(43) Date of publication of application: **10.09.93**

(51) Int. Cl

H01L 21/027
G03F 7/16

(21) Application number: **04031166**

(71) Applicant: **NEC CORP**

(22) Date of filing: **19.02.92**

(72) Inventor: **DAIMON TADASHI**

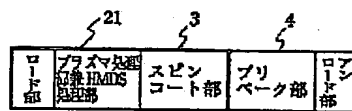
(54) **SEMICONDUCTOR MANUFACTURING
APPARATUS AND MANUFACTURE OF
SEMICONDUCTOR DEVICE**

(57) Abstract:

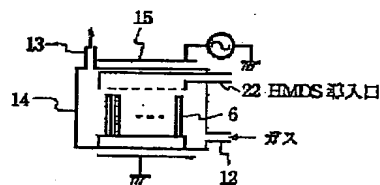
PURPOSE: To prevent abnormal side etching failure due to defective close contact between a semiconductor substrate and photoresist in the wet etching process.

CONSTITUTION: In a semiconductor manufacturing apparatus having each processing part for coating of photoresist, a plasma processing as a preprocessing of the coating and HMD processing are carried out continuously for a wafer 6 within a chamber 14 providing a plasma gas supplying port 12 and an HMDS supplying port 22.

COPYRIGHT: (C)1993,JPO&Japio



(a)



(b)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-234866

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.⁵

H 0 1 L 21/027

G 0 3 F 7/16

識別記号

庁内整理番号

F I

技術表示箇所

7352-4M

H 0 1 L 21/ 30

3 6 1 A

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号

特願平4-31166

(22)出願日

平成4年(1992)2月19日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大門 直史

東京都港区芝五丁目7番1号日本電気株式会社内

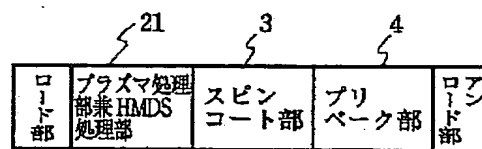
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体製造装置及び半導体製造方法

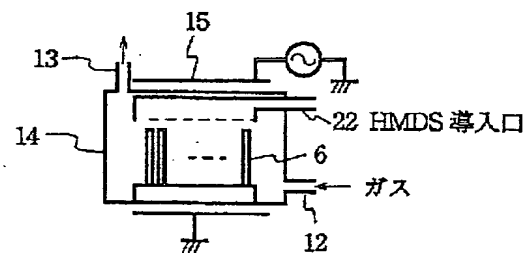
(57)【要約】

【目的】ウェットエッチング工程における半導体基板とフォトリソの密着不良による異常サイドエッチング不良を防止する。

【構成】フォトリソ塗布を行うための各処理部を有する半導体製造装置において、プラズマガス導入口12及びHMDS導入口22を備えたチャンパー14内で、ウェハー6に塗布前処理であるプラズマ処理とHMDS処理とを連続して行なう。



(a)



(b)

【特許請求の範囲】

【請求項1】 ロード部から各処理部を経てアンロード部へウェハを搬送しフォトリソ塗布を行う半導体製造装置において、前記各処理部のうちHMD S処理を行なうHMD S処理部の前にプラズマ処理を行なうためのプラズマ処理部を有することを特徴する半導体製造装置。

【請求項2】 前記プラズマ処理部とHMD S処理部が同一チャンバーである請求項1記載の半導体製造装置。

【請求項3】 前記プラズマ処理部において、ウェハの水分除去処理をプラズマ処理で行うことを特徴とする半導体製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体製造装置及び半導体製造方法に関し、特に半導体基板（以下ウェハと記す）にフォトリソ（以下レジストと記す）を塗布する場合の塗布装置及び塗布方法に関する。

【0002】

【従来の技術】 従来の塗布装置は、図3（a）の構成図に示す様に、レジストを塗布する前にベークを行いウェハ表面の水分を除去してウェハとレジストとの密着性を向上させるための塗布前ベーク部1と、ウェハをHMD S（ヘキサメチルジシラザン）蒸気にさらし化学的にウェハとレジストとの密着性を向上させるためのHMD S処理部2と、レジストを滴下しウェハを回転させウェハ上に均一なレジスト膜を形成するためのスピコート部3と、塗布後レジスト中の溶剤を蒸発させウェハとの密着性を向上させるためのプリベーク部4とで構成されている。

【0003】 塗布前ベーク部1は図3（b）の断面図に示す様な構造となっており、温度150～250℃のホットプレート5上にウェハ6をのせホットプレート5からウェハ6への熱伝導およびオープン7内の対流により、ウェハ表面の水分を熱的に除去するものである。

【0004】

【発明が解決しようとする課題】 しかし上述した従来の塗布装置では、ウェハ表面が特にCVD SiO₂、P SG、B P SG、シリカ膜で形成されており、それらにコンタクトホール、スルーホール等の微細孔をウェットエッチングにて開孔する場合、基板とレジストとの密着性が不十分で部分的なサイドエッチング不良が発生するという問題があった。これは、塗布前ベーク部によるウェハ表面の水分除去が不十分でウェハ表面に水分が残っているためと考えられ、これらの対策として温度をあげたり時間を長くしたが効果が十分でなく、又HMD S処理部の温度をあげたり時間をのばしたが、パターニング後のレジスト形状が悪化し根本的に解決ができなかった。

【0005】

【課題を解決するための手段】 本発明の半導体製造装置は、HMD S処理工程を行なうHMD S処理部の前にプラズマ処理工程を行なうためのプラズマ処理部を有している。また、従来の半導体製造方法ではHMD S処理前のウェハ表面の水分の除去をホットプレート、オープンにより熱的に行っていたため不十分であったが、本発明ではプラズマ処理を行なうことによりウェハ表面の水分除去を完全に行ない、ウェハとレジストとの密着性を強化させるものである。

【0006】

【実施例】 次に本発明について図面を参照して説明する。図1（a）は本発明の実施例1の塗布装置の構成図である。11は本発明の特徴であるプラズマ処理を行うためのプラズマ処理部であり、2はHMD S処理部、3はスピコート部、4はプリベーク部であり、この2～4は従来の塗布装置と全く同様である。図1（b）はプラズマ処理部11の断面図を示し、ガス導入口12および排気口13を持ったチャンバー14内にポート上のウェハ6が置かれ、チャンバー14周辺にはプラズマ発生のための高周波電極15がある。まず排気口13よりチャンバー14内を真空度0.01～0.1 Torrに減圧した後、ガス導入口12よりO₂ガスを導入して真空度0.3～1.0 TorrにしてRFパワー100W程度で1～10分間プラズマ処理を行ない、ウェハ表面の水分をほとんど完全に除去する。その後RFパワーをOFFし、チャンバー14内を大気圧に戻し、従来法と同様にHMD S処理部2、スピコート部3、プリベーク部4をへてウェハへのレジスト塗布は完了する。この様に塗布されたレジストはウェハとの密着性が非常に良く、微細孔のウェットエッチングでも異常サイドエッチ不良は全く発生しない。

【0007】 図2（a）は本発明の実施例2の塗布装置の構成図である。21はプラズマ処理兼HMD S処理部であり、3、4は従来の塗布装置と同様のスピコート部、プリベーク部である。図2（b）はプラズマ処理部兼HMD S処理部の断面図を示し、HMD S導入口22がある以外は図1（b）のプラズマ処理部の同様である。実施例1と同様にプラズマ処理を行なった後HMD S蒸気を含んだN₂ガスをHMD S導入口22よりチャンバー14内に導入し、300～760 mHgで5 sec～3 min程度ウェハ表面をHMD S雰囲気にしてHMD S処理を行なう。実施例2では、同一チャンバー内でプラズマ処理およびHMD S処理を行うため、ウェハ表面への水分の再付着がなく、よりレジストの密着性が向上し、又スルーットも向上し且つ設備の大きさも小さく安価であるという利点がある。

【0008】 本実施例1、2ともバッチタイプのプラズマ処理、HMD S処理を示したが、これは枚葉式でも適用可能であり、プラズマガスとしてO₂としたがN₂、

3

4

Ar, Heであっても同様の効果がある。

【0009】表1は、シリカ膜表面のウェハーに従来法と本発明によりレジストを塗布し、 $1 \times 1 \mu\text{m}^2$ のコンタクトホールをレジストパターンをパターニングした後ウェットエッチングした際のレジスト密着不良による異常サイドエッチング不良率を比較したものである。従来

法によるものはHMD S処理時間を5分と長くしても不良が発生しているのに対し、本発明ではHMD S処理時間1分でも全く不良がない。

【0010】

【表1】

HMD S 処理時間	0.5 分	1 分	2 分	5 分
従来法の不良率	50%	10%	5%	2%
本発明の不良率	2%	0	0	0

【0011】

【発明の効果】以上説明した様に本発明による塗布装置を使用してレジスト塗布を行えば、 CVDSiO_2 、P SG、B PSG、シリカ膜表面のウェハーへの微細径のウェットエッチング工程でも異常サイドエッチング不良がなく、高歩留りで高品質のLSIの製造が可能となる。

【図面の簡単な説明】

【図1】本発明の実施例1を示す図で、同図(a)は構成図、同図(b)はプラズマ処理部の断面図である。

【図2】本発明の実施例2を示す図で、同図(a)は構成図、同図(b)はプラズマ処理兼HMD S処理部の断面図である。

【図3】従来の製造装置を示す図で、同図(a)は構成図、同図(b)は塗布前ベーク部の断面図である。

【符号の説明】

1 塗布前ベーク部

2 HMD S 処理部

3 スピンコート部

4 プリベーク部

5 ホットプレート

6 ウェハー

7 オープン

11 プラズマ処理部

12 ガス導入口

13 排気口

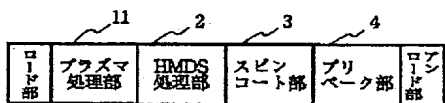
14 チャンバー

15 高周波電極

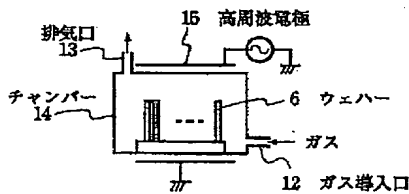
21 プラズマ処理部兼HMD S 処理部

22 HMD S 導入口

【図1】

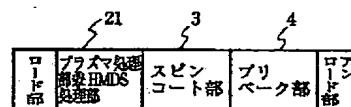


(a)

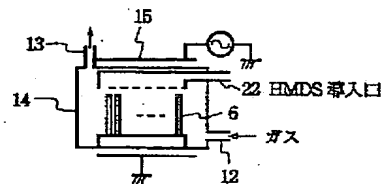


(b)

【図2】

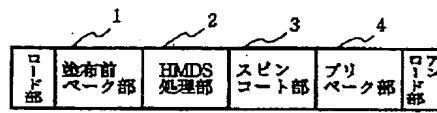


(a)

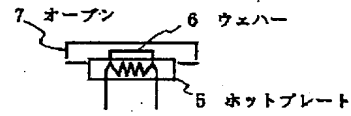


(b)

【図3】



(a)



(b)